

CLIPPEDIMAGE= JP406349814A

PAT-NO: JP406349814A

DOCUMENT-IDENTIFIER: JP 06349814 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: December 22, 1994

INVENTOR-INFORMATION:

NAME

ANDO, KAZUNORI

TSURUMARU, KAZUHIRO

TANIZAKI, YASUNOBU

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP05141038

APPL-DATE: June 14, 1993

INT-CL (IPC): H01L021/312;H01L021/90

ABSTRACT:

PURPOSE: To suppress the peeling of an insulating film from a wiring layer even when a sealing resin of high adhesiveness with a semiconductor chip is used for a semiconductor integrated circuit which uses polyimide resin as the material of a passivation film and an interlayer insulating film.

CONSTITUTION: A stress relief film 3g is provided between s package main body 2, which seals a semiconductor chip 3, and a passivation film 3f, which is formed of polyimide resin, so as to relieve the stress to be applied on a layer whereupon first layer wiring 3c and second layer wiring 3e are formed.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349814

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/312	B	7352-4M		
21/90	J	7514-4M		

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平5-141038

(22) 出願日 平成5年(1993)6月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 安藤 一典

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 鶴丸 和弘

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 谷崎 泰信

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

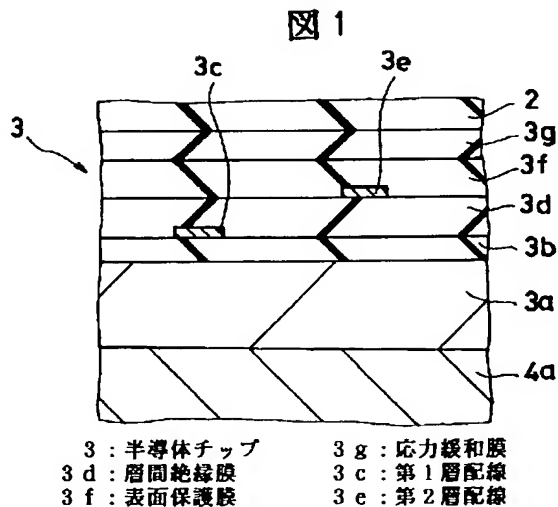
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 表面保護膜および層間絶縁膜の材料としてポリイミド系樹脂を用いた半導体集積回路装置において、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、配線層における絶縁膜の剥離現象を抑制する。

【構成】 半導体チップ3を封止するパッケージ本体2とポリイミド系樹脂からなる表面保護膜3fとの間に、第1層配線3cおよび第2層配線3eの形成された層に加わる応力を緩和するための応力緩和膜3gを設けた。



## 【特許請求の範囲】

【請求項1】 半導体チップにポリイミド系樹脂からなる配線層間の絶縁膜および表面保護用の絶縁膜を有する多層配線構造の半導体集積回路装置であって、前記半導体チップを封止する封止樹脂と前記表面保護用の絶縁膜との間に、前記半導体チップの所定の絶縁膜に加わる応力を緩和するための応力緩和膜を設けたことを特徴とする半導体集積回路装置。

【請求項2】 前記応力緩和膜を前記表面保護用の絶縁膜とは分子構造の異なるポリイミド系樹脂によって構成したことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 半導体チップにポリイミド系樹脂からなる配線層間の絶縁膜および表面保護用の絶縁膜を有する多層配線構造の半導体集積回路装置であって、前記配線層間の絶縁膜の間に、前記半導体チップの所定の絶縁膜間に加わる応力を緩和するための応力緩和膜を設けたことを特徴とする半導体集積回路装置。

【請求項4】 半導体チップにポリイミド系樹脂からなる配線層間の絶縁膜および表面保護用の絶縁膜を有する多層配線構造の半導体集積回路装置であって、前記半導体チップに形成された配線の表面にキュレート処理を施したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路装置技術に関し、特に、表面保護膜および層間絶縁膜にポリイミド系樹脂を用いた半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】多層配線構造を有する半導体集積回路装置には、表面保護膜や層間絶縁膜としてポリイミド系の樹脂を用いる場合がある。

【0003】これは、一般に、ポリイミド系の樹脂は、PSG (Phospho Silicate Glass) 等のような無機系の絶縁膜に比較して温度サイクル性に優れており、特に、スルーホール部での断線不良の発生を抑制できる等のような優れた特性を有しているからである。

【0004】この場合の従来の半導体集積回路装置の構造も無機系の絶縁膜を用いた場合と同じである。すなわち、次のとおりである。

【0005】半導体チップを構成する半導体基板上に堆積された無機系の絶縁膜上には、配線が形成されているとともに、その配線を被覆するように、ポリイミド系の樹脂からなる層間絶縁膜が堆積されている。その層間絶縁膜上には、配線が形成されているとともに、その配線を被覆するように、ポリイミド系の樹脂からなる表面保護膜が堆積されている。この場合、層間絶縁膜と表面保護膜とは分子構造が同一のポリイミド系樹脂からなる。表面保護膜は、半導体チップを封止するための封止用樹

脂と密着されている。

【0006】なお、表面保護膜や層間絶縁膜の材料としてポリイミド系樹脂を用いた半導体集積回路装置については、例えば株式会社オーム社、1989年6月20日発行「超微細加工入門」P139～P141に記載がある。

## 【0007】

【発明が解決しようとする課題】ところが、上記従来の技術においては、以下の問題があることを本発明者は見出した。

【0008】すなわち、半導体集積回路装置を実装基板上に実装するためのリフロー実装処理に際して、パッケージ本体から半導体チップに対して加わる熱ストレスによって、半導体チップにおいて配線が形成された層において剥離が生じ、その剥離部分を通じて侵入した水分やイオン等が配線や素子を汚染する結果、配線腐食や素子不良等、半導体集積回路装置の信頼性を低下させる問題があった。

【0009】このような剥離現象は、主として、封止用樹脂と表面保護膜との接着強度の方が、表面保護膜と層間絶縁膜および配線との接着強度よりも強いことに起因する現象である。

【0010】したがって、このような問題は、特に、パッケージの小型・薄型化に伴い顕著な問題となる。小型・薄型のパッケージの場合、リフロー実装時等におけるパッケージクラックの原因である封止用樹脂と半導体チップ等との剥離を防止する観点から、封止樹脂の材料として半導体チップと密着性の高い材料を用いるからである。

【0011】本発明は上記課題に着目してなされたものであり、その目的は、表面保護膜および層間絶縁膜の材料としてポリイミド系の樹脂を用いた半導体集積回路装置において、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、半導体チップの配線の形成された層における剥離現象を抑制することのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

## 【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、第1の発明は、半導体チップにポリイミド系樹脂からなる配線層間の絶縁膜および表面保護用の絶縁膜を有する多層配線構造の半導体集積回路装置であって、前記半導体チップを封止する封止樹脂と前記表面保護用の絶縁膜との間に、前記半導体チップの所定の絶縁膜に加わる応力を緩和するための応力緩和膜を設けた半導体集積回路装置構造とするものである。

【0015】第2の発明は、半導体チップにポリイミド系樹脂からなる配線層間の絶縁膜および表面保護用の絶縁膜を有する多層配線構造の半導体集積回路装置であって、前記半導体チップに形成された配線の表面にキュレート処理を施した半導体集積回路装置構造とするものである。

【0016】

【作用】上記した第1の発明によれば、半導体集積回路装置のリフロー実装処理に際して半導体チップの所定の絶縁膜間に加わる応力を緩和することができるので、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、配線とそれに接触する絶縁膜との剥離現象を抑制することが可能となる。

【0017】上記した第2の発明によれば、半導体チップの配線とそれに接触する絶縁膜との接着力を向上させることができるので、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、配線とそれに接触する絶縁膜との剥離現象を抑制することが可能となる。

【0018】

【実施例】以下、本発明の実施例を詳細に説明する。

【0019】(実施例1) 図1は本発明の一実施例である半導体集積回路装置の要部拡大断面図、図2は図1の半導体集積回路装置の断面図である。

【0020】本実施例1の半導体集積回路装置は、例えば図2に示すようなTQFP (ThinQuad Flat Package) 1である。

【0021】TQFP1を構成するパッケージ本体2は、例えばエポキシ系樹脂からなり、その内部には、半\*

\* 導体チップ3がチップ実装部4aに実装された状態で封止されている。

【0022】半導体チップ3の主面には、例えばゲートアレイ等のような論理回路またはDRAM (Dynamic RAM) 等のような半導体メモリ回路が形成されており、この回路は、ボンディングワイヤ5を通じてインナーリード4bと電気的に接続されている。

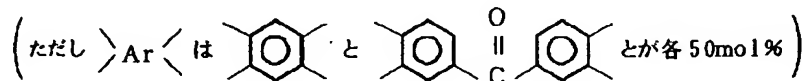
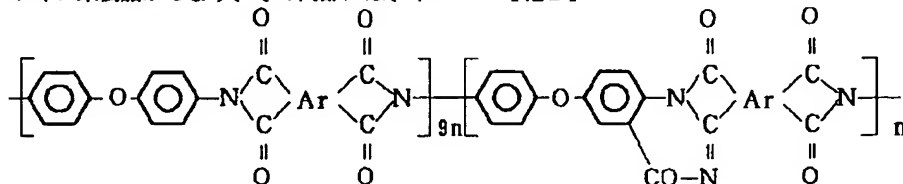
【0023】インナーリード4bは、それと一体的に成形されたアウターリード4cを通じて外部回路(図示せず)と電気的に接続されるようになっている。アウターリード4cは、パッケージ本体2から突出されたリード部分であり、例えばガルウィング状に成形されている。

【0024】次に、このようなTQFP1の要部拡大断面図を図1に示す。半導体チップ3を構成する半導体基板3aは、例えばシリコン(Si)単結晶からなり、その上面には、図示しない所定の半導体集積回路素子が形成されているとともに、その半導体集積回路素子を被覆するように絶縁膜3bが堆積されている。

【0025】絶縁膜3bは、例えば二酸化ケイ素(SiO<sub>2</sub>)からなり、その上面には、例えばアルミニウム(Al)またはAl合金からなる第1層配線3cが形成されているとともに、その第1層配線3cを被覆するように層間絶縁膜3dが堆積されている。層間絶縁膜3dは、例えば下記化学式の分子構造を有するポリイミド系樹脂からなり、本実施例1においては、例えばPIQが使用されている。

【0026】

【化1】



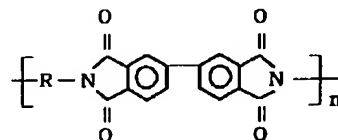
【0027】層間絶縁膜3d上には、例えばAlまたはAl合金からなる第2層配線3eが形成されているとともに、その第2層配線3eを被覆するように表面保護膜3fが堆積されている。表面保護膜3fは、その下層の層間絶縁膜3dと同一分子構造のポリイミド系樹脂からなる。

【0028】ところで、本実施例1においては、パッケージ本体2と、表面保護膜3fとの間に応力緩和膜3gが形成されている。応力緩和膜3gは、TQFP1のリフロー実装処理に際して半導体チップ3に加わる熱ストレスを緩和するための膜である。

40\* 【0029】応力緩和膜3gは、例えば下記化学式の分子構造を有するポリイミド系樹脂からなり、本実施例1においては、例えばL110が使用されている。

【0030】

【化2】



※50 【0031】すなわち、本実施例1において応力緩和膜

5

3gは、表面保護膜3fと分子構造の異なるポリイミド系樹脂によって構成されている。

【0032】このため、表面保護膜3fと応力緩和膜3gとの接着力が、応力緩和膜3gとパッケージ本体2との接着力よりも弱い構造となっている。

【0033】したがって、本実施例1のTQFP1においては、リフロー実装処理に際して半導体チップ3に過大な応力がかかると、応力緩和膜3gと表面保護膜3fとの間において剥離現象が発生する構造となっている。

【0034】そして、その結果、表面保護膜3fと層間絶縁膜3dとの間、あるいは層間絶縁膜3dと絶縁膜3bとの間、すなわち、第2層配線3eおよび第1層配線3cが形成されている層に加わる応力を緩和することができるので、その層における剥離現象を抑制することが可能な構造となっている。

【0035】このように、本実施例1によれば、ポリイミド系樹脂からなる表面保護膜3f上に、表面保護膜3fとは異なる分子構造のポリイミド系樹脂からなる応力緩和膜3gを設けたことにより、次の効果を得ることが可能となる。

【0036】すなわち、TQFP1のリフロー実装処理に際して半導体チップ3に過大な応力が加わったとしても、応力緩和膜3gと表面保護膜3fとの間において剥離現象が発生する結果、第1層配線3cおよび第2層配線3eが形成されている層に加わる応力を緩和することができるので、第1層配線3cおよび第2層配線3eが形成された層における剥離現象を抑制することが可能となる。

【0037】このため、第1層配線3cまたは第2層配線3eが形成されている層における剥離部分を通じて侵入した水分やイオン等により配線や素子が汚染されるのを抑制することができるので、配線腐食や素子不良等の発生率を低減することが可能となる。したがって、TQFP1の歩留りおよび信頼性を向上させることが可能となる。

【0038】(実施例2) 図3は本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

【0039】本実施例2においては、図3に示すように、応力緩和膜3gが、層間絶縁膜3dと、表面保護膜3fとの間に設けられている。

【0040】ただし、本実施例2においては、応力緩和膜3gを構成するポリイミド系樹脂の分子構造は、表面保護膜3fを構成するポリイミド系樹脂の分子構造と同一であり、層間絶縁膜3dを構成するポリイミド系樹脂の分子構造と異なる。

【0041】このため、本実施例2においては、リフロー実装処理に際して半導体チップ3に応力がかかると、層間絶縁膜3dと応力緩和膜3gとの間で剥離現象が生じる構造となっている。

【0042】そして、その結果、第2層配線3eおよび

6

第1層配線3cが形成されている層に加わる応力を緩和することができるので、その層における剥離現象を抑制することが可能な構造となっている。

【0043】したがって、本実施例2においても、前記実施例1と同様の効果を得ることが可能となる。

【0044】(実施例3) 図4は本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

【0045】本実施例3においては、図4に示すように、表面保護膜3fとパッケージ本体2との間に、応力緩和膜3gおよび絶縁膜3hが下層から順に堆積されている。

【0046】絶縁膜3hは、表面保護膜3fと同一分子構造のポリイミド系樹脂からなり、パッケージ本体2と高い接着力で接着されている。

【0047】本実施例3において応力緩和膜3gは、例えばエポキシ樹脂からなり、表面保護膜3fと絶縁膜3hとの接着性を低下させるような樹脂からなる。すなわち、本実施例3においては、リフロー実装処理に際して半導体チップ3に応力が加わると、表面保護膜3fと絶縁膜3hとの間で剥離現象が発生する結果、第1層配線3cおよび第2層配線3eが形成された層に加わる応力を低減することが可能な構造となっている。

【0048】したがって、本実施例3においても、前記実施例1、2と同様の効果を得ることが可能となる。

【0049】(実施例4) 図5は本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

【0050】本実施例4においては、第1層配線3cおよび第2層配線3eに対してキュレート処理(熱処理)が施されている。キュレート処理は、半導体基板3aを、例えば大気中に収容した後、例えば350℃、約30分程度の熱処理を施すことによって行われている。

【0051】そして、このような処理により、絶縁膜3bと層間絶縁膜3dおよび層間絶縁膜3dと表面保護膜3fとの間に、絶縁膜3bと層間絶縁膜3d、層間絶縁膜3dと表面保護膜3f、層間絶縁膜3dと第1層配線3cおよび表面保護膜3fと第2層配線3eとの接着力を強化するような強化層6が形成されている。

【0052】したがって、本実施例4によれば、第1層配線3cおよび第2層配線3eが形成された層における剥離現象を抑制することができ、その層における剥離部分を通じて侵入した水分やイオン等により配線や素子が汚染されるのを抑制することができるので、配線腐食や素子不良等の発生率を低減することが可能となる。この結果、TQFP1の歩留りおよび信頼性を向上させることが可能となる。

【0053】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1〜4に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】例えば前記実施例においては、半導体基板

7

をSiとした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばガリウム・ヒ素(GaAs)等のような化合物半導体でも良い。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるQFPに適用した場合について説明したが、これに限定されず種々適用可能であり、例えばSOP(Small Outline Package)やSOJ(Small Outline J-Lead Package)等のような他の半導体集積回路装置に適用することも可能である。

【0056】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0057】(1). 第1の発明によれば、パッケージのリフロー実装処理に際して半導体チップの所定の絶縁膜に加わる応力を緩和することができるので、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、配線とそれに接触する絶縁膜との剥離現象を抑制することが可能となる。このため、配線の形成されている層における剥離部分を通じて侵入した水分やイオン等により配線や素子が汚染されるのを抑制することができるので、配線腐食や素子不良等の発生率を低減することが可能となる。したがって、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0058】(2). 第2の発明によれば、半導体チップの配線とそれに接触する絶縁膜との接着力を向上させることができるので、半導体チップとの密着性の高い封止用樹脂を用いた場合であっても、配線とそれに接触する絶縁膜との剥離現象を抑制することが可能となる。このため、配線の形成されている層における剥離部分を通じて侵入した水分やイオン等により配線や素子が汚染される

8

のを抑制することができるので、配線腐食や素子不良等の発生率を低減することが可能となる。したがって、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0059】

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部拡大断面図である。

【図2】図1の半導体集積回路装置の断面図である。

10 【図3】本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

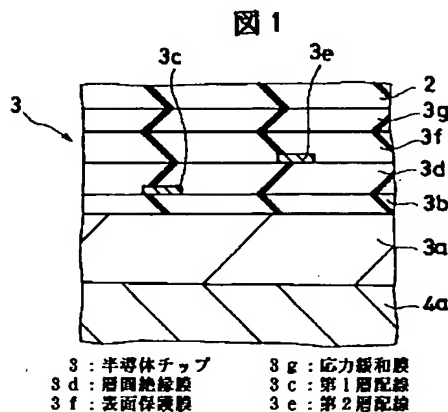
【図4】本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

【図5】本発明の他の実施例である半導体集積回路装置の要部拡大断面図である。

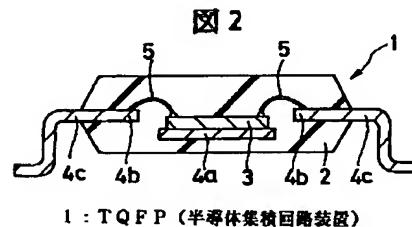
【符号の説明】

- 1 TQFP(半導体集積回路装置)
- 2 パッケージ本体
- 3 半導体チップ
- 3a 半導体基板
- 3b 絶縁膜
- 3c 第1層配線
- 3d 層間絶縁膜
- 3e 第2層配線
- 3f 表面保護膜
- 3g 応力緩和膜
- 4a チップ実装部
- 4b インナーリード
- 4c アウターリード
- 5 ボンディングワイヤ
- 6 強化層

【図1】

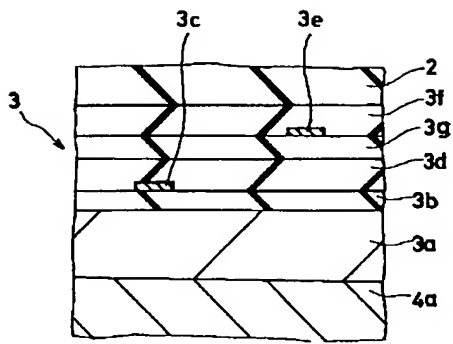


【図2】



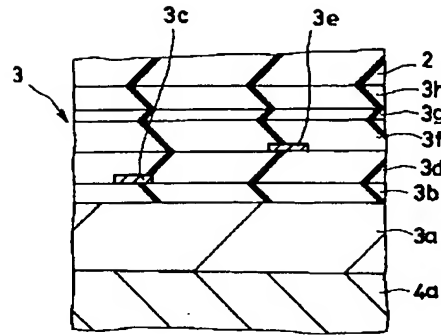
【図3】

図 3



【図4】

図 4



【図5】

図 5

